

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## End of Result Set

☐ Generate Collection 

L1: Entry 1 of 1

File: JPAB

Jan 18, 2002

PUB-NO: JP02002016087A  
DOCUMENT-IDENTIFIER: JP 2002016087 A  
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: January 18, 2002

## INVENTOR-INFORMATION:

NAME

COUNTRY

NAKAYAMA, TATSUMINE

ANDQ, YUJI

MIYAMOTO, HIRONOBU

KUNIHIRO, KAZUAKI

TAKAHASHI, HIROYUKI

KASAHARA, TAKEMOTO

HAYAMA, NOBUYUKI

ONO, YASUO

MATSUNAGA, TAKAHARU

KUZUHARA, MASAACKI

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

APPL-NO: JP2000196749

APPL-DATE: June 29, 2000INT-CL (IPC): H01 L 21/338; H01 L 29/812; H01 L 29/205; H01 L 29/417; H01 L 29/778

## ABSTRACT:

PROBLEM TO BE SOLVED: To effectively suppress leakage current by realizing a Schottky barrier having sufficient height which cannot be obtained by conventional techniques.

SOLUTION: A carrier travel layer 3 is formed on a substrate 1 via a buffer layer 2, and a spacer layer 4 and a carrier-supplying layer 5 are formed thereon. On the layer 5, a source electrode 8 and a drain electrode 9 are provided, and a gate electrode 7 is provided via a Schottky layer 6. The layer 5 is constituted by AlGa<sub>N</sub>, so as to have tensile distortion. The layer 6, however, is constituted by InGa<sub>N</sub> so as to have compressive distortion.

COPYRIGHT: (C) 2002, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-16087

(P2002-16087A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int.Cl.	識別記号	F I	キーワード(参考)
H 0 1 L	21/338	H 0 1 L 29/205	4 M 1 0 4
	29/812	29/80	F 5 F 1 0 2
	29/205	29/50	J
	29/417	29/80	H
	29/778		

審査請求 未請求 請求項の数12 O L (全 12 頁)

(21) 出願番号 特願2000-196749(P2000-196749)

(22) 出願日 平成12年6月29日(2000.6.29)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 中山 達雄

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 安藤 裕二

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

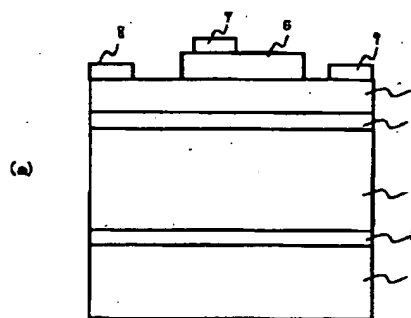
最終頁に続く

(54) 【発明の名称】 半導体装置

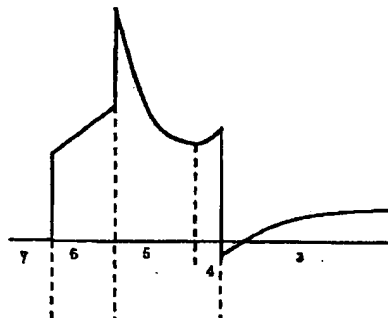
(57) 【要約】

【課題】従来技術では得ることのできなかった十分な高さを有するショットキ障壁を実現し、リーク電流を効果的に抑制すること。

【解決手段】基板1上に、バッファ層2を介してキャリア走行層3を形成し、その上にスペーサー層4、キャリア供給層5を形成する。キャリア供給層5上には、ソース電極8およびドレイン電極9を設けるとともに、ショットキ層6を介してゲート電極7を設ける。キャリア供給層5はAlGa<sub>N</sub>により構成し、引っ張り歪みを有するようにする。一方、ショットキ層6はInGa<sub>N</sub>により構成し、圧縮歪みを有するようにする。



(b)



## 【特許請求の範囲】

【請求項1】 第一の電子障壁層と、この上に直接またはスペーサ層を介して形成された第二の電子障壁層と、さらにこの上に形成されたショットキ電極と、を備える半導体装置において、第二の電子障壁層中、第一の電子障壁層側に負のピエゾ電荷が誘起され、ショットキ電極側に正のピエゾ電荷が誘起されたことを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、第一の電子障壁層中、第二の電子障壁層側に負のピエゾ電荷が誘起され、その反対側に正のピエゾ電荷が誘起されたことを特徴とする半導体装置。

【請求項3】 請求項1または2に記載の半導体装置において、第一および第二の電子障壁層は、いずれもIII族窒化物半導体材料からなることを特徴とする半導体装置。

【請求項4】 下地層と、その上部に形成された第一の電子障壁層と、この上に直接またはスペーサ層を介して形成された第二の電子障壁層と、さらにこの上に形成されたショットキ電極と、を備える半導体装置において、下地層、第一の電子障壁層および第二の電子障壁層が、いずれも(0001)面を主面とするウルツ鉱型のIII族窒化物半導体層であって、第二の電子障壁層が圧縮歪みを有することを特徴とする半導体装置。

【請求項5】 請求項4に記載の半導体装置において、第一の電子障壁層が引っ張り歪みを有することを特徴とする半導体装置。

【請求項6】 下地層と、その上部に形成された第一の電子障壁層と、この上に直接またはスペーサ層を介して形成された第二の電子障壁層と、さらにこの上に形成されたショットキ電極と、を備える半導体装置において、下地層、第一の電子障壁層および第二の電子障壁層が、いずれも(0001)面を主面とするウルツ鉱型のIII族窒化物半導体層であって、層厚方向と垂直な水平面内の格子定数の平均値を平均格子定数と定義したときに、第二の電子障壁層の平均格子定数が、下地層の平均格子定数よりも大きいことを特徴とする半導体装置。

【請求項7】 請求項6に記載の半導体装置において、第一の電子障壁層の平均格子定数が、下地層の平均格子定数以下の値であることを特徴とする半導体装置。

【請求項8】 請求項7に記載の半導体装置において、下地層が $Al_\alpha Ga_{1-\alpha}N$  ( $0 \leq \alpha \leq 1$ ) からなり、第一の電子障壁層が $Al_\beta Ga_{1-\beta}N$  ( $\alpha \leq \beta \leq 1$ ) からなり、第二の電子障壁層が $In_x Ga_y Al_{1-x-y}N$  ( $0 < x \leq 1, 0 \leq y < 1$ ) からなることを特徴とする半導体装置。

【請求項9】 請求項7に記載の半導体装置において、下地層が $Al_\alpha Ga_{1-\alpha}N$  ( $0 < \alpha \leq 1$ ) からなり、第一の電子障壁層が $Al_\beta Ga_{1-\beta}N$  ( $\alpha \leq \beta \leq 1$ ) からなり、第二の電子障壁層が $Al_\gamma Ga_{1-\gamma}N$  ( $0 \leq \gamma <$

$\alpha$ ) からなることを特徴とする半導体装置。

【請求項10】 請求項1乃至9いずれかに記載の半導体装置において、前記ショットキ電極がゲート電極であって、さらにソース電極およびドレイン電極を備えたことを特徴とする半導体装置。

【請求項11】 請求項10に記載の半導体装置において、前記ソース電極および前記ドレイン電極が、無歪みまたは引っ張り歪みを有するIII族窒化物半導体層と接して形成されたことを特徴とする半導体装置。

【請求項12】 (0001)面を主面とするウルツ鉱型の複数のIII族窒化物半導体層と、その上部に形成された、ゲート電極、ソース電極およびドレイン電極と、を備える半導体装置において、前記複数のIII族窒化物半導体層は、 $GaN$ からなる第一の層と $Al_x Ga_{1-x}N$  ( $0 < x \leq 1$ ) からなる第二の層とを含み、第一の層と接するように前記ゲート電極が形成され、第二の層と接するように前記ソース電極およびドレイン電極が形成されたことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はショットキ電極を具備する半導体装置、特に、耐圧、高周波動作、高温動作に優れた電界効果トランジスタに関する。

## 【0002】

【従来の技術】  $GaN$ 系半導体は他のIII-V族化合物半導体と比較してショットキ障壁高さが高いことが知られている。例えばワン等によりアプライド・フィジックス・レターズ (Applied Physics Letters Vol.68, No.9, pp1267, 1996) にて報告されている。

【0003】 この報告の中で、ワン等は $Pt/GaN$ 及び $Pd/GaN$ ショットキダイオードを作製し、 $Pt/GaN$ 及び $Pd/GaN$ 各々のショットキ障壁高さを測定しており、その障壁高さは各々1.13~1.27 eV、0.96~1.24 eVである。この値は、例えばGaAs系(~0.7 eV)、InP系(~0.5 eV)のショットキ障壁高さと比較して高い。

【0004】 また、ヘテロ接合電界効果トランジスタの場合は、通常ショットキ電極と接する半導体層(電子障壁層)として $AlGaIn$ 層が用いられる。例えば、エガワ等によりアプライド・フィジックス・レターズ (Applied Physics Letters Vol.76, No.1, pp121, 2000) にて報告されている。

【0005】 図10はエガワ等により報告された電界効果トランジスタの断面構造図である。図10に示すようにサファイア基板1001上に、膜厚30 nmの $GaN$ 核形成層1002、膜厚2.5  $\mu m$ の $GaN$ 層1003、膜厚10 nmの $AlGaIn$ スペーサ層1004、膜厚20 nmのn型 $AlGaIn$ キャリア供給層1005、膜厚20 nmのn型 $GaN$ キャップ層1006を有機金属気相エピタキシー方により形成後、反応性イオン

エッチング(RIE)法によりGa<sub>0.9</sub>N<sub>0.1</sub>キャップ層1006及びAlGa<sub>0.5</sub>N<sub>0.5</sub>キャリア供給層1005の一部を除去し、Ti/Alをソース1007、ドレイン1008各電極として形成し、ゲート電極1009としてPt/Ti/Auを形成することで電界効果トランジスタが製作される。AlGa<sub>0.5</sub>N<sub>0.5</sub>層は、Ga<sub>0.9</sub>N<sub>0.1</sub>層と比較してバンドギャップが大きいので、Pt/AlGa<sub>0.5</sub>N<sub>0.5</sub>界面におけるショットキ障壁高さはPt/GaN界面における障壁高さよりも高くなる。

【0006】

【発明が解決しようとする課題】しかしながら、従来例の構造では、ショットキ電圧を正側に印加する動作では、障壁高さが不十分である。特に、ゲート電圧無印加時のソースドレイン間の電流値が0の電界効果トランジスタ、すなわちエンハンスメントモードで動作する電界効果トランジスタの場合、動作時すなわちショットキ電圧を正側に印加した時にリーク電流が増大し、増幅率が劣化する等の課題を有していた。

【0007】この対策として、AlGa<sub>0.5</sub>N<sub>0.5</sub>層の厚みを増大させてショットキ障壁を厚くしリーク電流を低減する方法が考えられるが、臨界膜厚との関係で一定の制約があり、十分なショットキ障壁厚さが得られる程度に厚みを増大させることは困難であった。また、AlGa<sub>0.5</sub>N<sub>0.5</sub>層のAl組成比を高くすることでショットキ障壁を高くすることも考えられるが、Al組成比を高くした場合、層中の引っ張り歪みが大きくなり臨界膜厚がより小さくなるため、十分なショットキ障壁高さを得ることは困難であった。

【0008】本発明は上記事情に鑑みなされたものであって、従来技術では得ることのできなかった十分な高さを有するショットキ障壁を実現し、リーク電流を効果的に抑制することを課題とする。

【0009】

【課題を解決するための手段】本発明は、上記課題を解決するため、ショットキ電極下に圧縮歪みを有する層を設けることにより、たとえば図1(b)に示すような十分な高さの2段構造のショットキ障壁を有するバンド構造を形成せしめ、リーク電流を防止するものである。

【0010】格子定数の異なるIII-V族半導体層を積層した場合、半導体層に内部歪みが発生し、この内部歪みに起因するピエゾ効果により、層中に内部電界が生じることが知られている。例えばIII族窒化物半導体からなる厚膜下地層の(0001)面上に、これより格子定数の大きな材料を積層した場合、層厚が格子不整による転移の発生する臨界厚み以下ならば、この層には弾性的に圧縮歪みが残存する。この歪みによるピエゾ効果により、基板から表面側に向かう内部電界が生じる。逆に格子定数が小さな材料を積層した場合、この層には引っ張り歪みが残存し、内部電界の方向は逆になる。本発明は、このようなピエゾ効果を利用することにより、シ

ョットキ障壁を高くするものである。なお、本明細書において、III族窒化物半導体結晶における(0001)面とは、図15に示す配置における斜線を付した面をいう。

【0011】本発明によれば、第一の電子障壁層と、この上に直接またはスペーサ層を介して形成された第二の電子障壁層と、さらにこの上に形成されたショットキ電極と、を備える半導体装置において、第二の電子障壁層中、第一の電子障壁層側に負のピエゾ電荷が誘起され、ショットキ電極側に正のピエゾ電荷が誘起されたことを特徴とする半導体装置が提供される。

【0012】この半導体装置によれば、第二の電子障壁層中に誘起されるピエゾ電荷の作用により、第一の電子障壁層のショットキ障壁を効果的に高くすることができる。この結果、リーク電流の発生を有効に抑制できる。

【0013】この半導体装置において、第一の電子障壁層中、第二の電子障壁層側に負のピエゾ電荷が誘起され、その反対側に正のピエゾ電荷が誘起された構成とすれば、第二の電子障壁層中に誘起されるピエゾ電荷によるショットキ障壁高さの向上作用がより顕著となる。

【0014】また、第一および第二の電子障壁層を、いずれもIII族窒化物半導体材料からなるものとした場合、好適にピエゾ分極が発生し、第二の電子障壁層中に誘起されるピエゾ電荷によるショットキ障壁高さの向上作用がより顕著となる。

【0015】また本発明によれば、下地層と、その上部に形成された第一の電子障壁層と、この上に直接またはスペーサ層を介して形成された第二の電子障壁層と、さらにこの上に形成されたショットキ電極と、を備える半導体装置において、下地層、第一の電子障壁層および第二の電子障壁層が、いずれも(0001)面を主面とするウルツ鉱型のIII族窒化物半導体層であって、第二の電子障壁層が圧縮歪みを有することを特徴とする半導体装置が提供される。

【0016】この半導体装置によれば、第二の電子障壁層が圧縮歪みを有するため、層中にピエゾ電荷が誘起され、第一の電子障壁層のショットキ障壁を効果的に高くすることができる。この結果、リーク電流の発生を有効に抑制できる。

【0017】この半導体装置において、第一の電子障壁層が引っ張り歪みを有する構成とすれば、第二の電子障壁層中に誘起されるピエゾ電荷によるショットキ障壁高さの向上作用がより顕著となる。

【0018】また本発明によれば、下地層と、その上部に形成された第一の電子障壁層と、この上に直接またはスペーサ層を介して形成された第二の電子障壁層と、さらにこの上に形成されたショットキ電極と、を備える半導体装置において、下地層、第一の電子障壁層および第二の電子障壁層が、いずれも(0001)面を主面とするウルツ鉱型のIII族窒化物半導体層であって、層厚方

向と垂直な水平面内の格子定数の平均値を平均格子定数と定義したときに、第二の電子障壁層の平均格子定数が、下地層の平均格子定数よりも大きいことを特徴とする半導体装置が提供される。

【0019】この半導体装置によれば、第二の電子障壁層に圧縮歪みが生じるため、層中にピエゾ電荷が誘起され、第一の電子障壁層のショットキ障壁を効果的に高くすることができる。この結果、リーク電流の発生を有効に抑制できる。ここで、平均格子定数とは、多層膜の状態における格子定数ではなく、層を構成する材料固有の格子定数をいう。たとえば、(0001)面を主面とするGaNからなる厚膜下地層の上部に、GaNよりもa軸格子定数の小さいAlGaN層を成長させた場合、AlGaN層には引っ張り歪みが生じた状態となり、層厚方向と垂直な水平面内では、GaN層とAlGaN層の格子間隔は等しくなる。本発明における平均格子定数とは、このような歪みがかかった状態の格子間隔をいうのではなく、その材料の持つ本来の格子定数をいうものとする。なお、層厚方向と垂直な水平面内の格子定数とは、(0001)面の傾斜がない場合は、a軸格子定数と一致する。

【0020】この半導体装置において、第一の電子障壁層の平均格子定数を下地層の平均格子定数以下の値とすれば、第二の電子障壁層中に誘起されるピエゾ電荷によるショットキ障壁高さの向上作用がより顕著となる。

【0021】下地層、第一の電子障壁層および第二の電子障壁層は、たとえば以下のようにすることが好ましい。すなわち、下地層が $Al_\alpha Ga_{1-\alpha}N$  ( $0 \leq \alpha \leq 1$ ) からなり、第一の電子障壁層が $Al_\beta Ga_{1-\beta}N$  ( $\alpha \leq \beta \leq 1$ ) からなり、第二の電子障壁層が $In_x Ga_{1-x} Al_{1-y} N$  ( $0 < x \leq 1$ ,  $0 \leq y < 1$ ) からなるものとするのが好ましい。また、下地層が $Al_\alpha Ga_{1-\alpha}N$  ( $0 < \alpha \leq 1$ ) からなり、第一の電子障壁層が $Al_\beta Ga_{1-\beta}N$  ( $\alpha \leq \beta \leq 1$ ) からなり、第二の電子障壁層が $Al_\gamma Ga_{1-\gamma}N$  ( $0 \leq \gamma < \alpha$ ) からなるものとするのが好ましい。このようにすれば、ショットキ障壁高さを十分に高くすることができ、リーク電流をより効果的に抑制できる。

【0022】本発明は、高電子移動度トランジスタ (HEMT) やMESFET (Metal Semiconductor Field Effect Transistor) 等の電界効果トランジスタに適用した場合、一層効果的である。すなわち、上記各半導体装置において、ショットキ電極がゲート電極であって、さらにソース電極およびドレイン電極を備えた構成とすれば、本発明の効果がより顕著に発揮され、ゲートリーク電流の少ない信頼性に優れた電界効果トランジスタが得られる。

【0023】この場合、ソース電極およびドレイン電極は、無歪みまたは引っ張り歪みを有するIII族窒化物半導体層と接して形成することが好ましい。このようにす

れば、ゲート電極部におけるショットキ障壁を高くすると同時にソース・ドレイン電極のコンタクト抵抗を低減できる。

【0024】また本発明によれば、(0001)面を主面とするウルツ鉱型の複数のIII族窒化物半導体層と、その上部に形成された、ゲート電極、ソース電極およびドレイン電極と、を備える半導体装置において、前記複数のIII族窒化物半導体層は、GaNからなる第一の層と $Al_x Ga_{1-x}N$  ( $0 < x \leq 1$ ) からなる第二の層とを含み、第一の層と接するように前記ゲート電極が形成され、第二の層と接するように前記ソース電極およびドレイン電極が形成されたことを特徴とする半導体装置が提供される。

【0025】従来の電界効果型トランジスタにおいては、通常、ショットキ障壁を高くする観点からAlGaN上にゲート電極を設け、コンタクト抵抗低減の観点からドーピングしたGaN上にソース・ドレイン電極を設けていた。これに対し本発明は、GaN上にゲート電極を設け、ショットキ障壁を高くするとともに、AlGaN上にソース・ドレイン電極を設け、電極部のオーミック性を高めている。ゲート電極部のショットキ障壁を高くできる理由は、(0001)面を主面とするウルツ鉱型のGaNの表面が負の極性を持つことによる。ゲート電極側の界面近傍においてGaN層が負の極性を持つため、ショットキ障壁を高くすることができる。なお、GaN表面の負の極性による作用と、上述した半導体装置における第二の電子障壁層の作用とは、それぞれ異なる機構によって生じるものであり、後者の方がより顕著にショットキ障壁を高くすることができる。したがって、下地層をAlGaNにより構成する等の手法により、上記GaN層が圧縮歪みを有するようにすれば、より効果的である。

【0026】以下、本発明の作用について図面を参照して説明する。ウルツ鉱型III族窒化物半導体では、結晶の歪みにより電位が形成されるピエゾ効果が発生する。例えば、(0001)面を主面とするGaN層1101上にGaN層より格子定数の小さいAlGaN層1102を形成した場合、図8(a)に示すようにAlGaN/GaNヘテロ界面側 (AlGaN層の(000-1)面側) に正の電荷が、反対側 (AlGaN層の(0001)面側) に負の電荷が発生する。逆に、(0001)面を主面とするGaN層1103上にGaN層より格子定数の大きいInGaN層1104を形成した場合、図8(b)に示すようにInGaN/GaNヘテロ界面側 (InGaN層の(000-1)面側) に負の電荷が、反対側 (InGaN層の(0001)面側) に正の電荷が発生する。

【0027】従来のショットキ電極構造では、上記図8(a)のバンド構造を採用し、ショットキ障壁高さを確保している。たとえば前述した図10のHJFETで

は、Ga<sub>0.3</sub>N層1003上に、AlGa<sub>0.7</sub>Nスペーサー層1004およびAlGa<sub>0.7</sub>Nキャリア供給層1005が設けられ、さらにその上にゲート電極1009が形成されており、概略図8(a)のようなバンド構造となっている。

【0028】ところがこのような構造では、ショットキ障壁高さをさらに高くしようとしても一定の限界があった。ゲート電極直下のAlGa<sub>0.7</sub>N層を厚膜にすればショットキ障壁高さを高くすることができるが、前記したように臨界膜厚との関係で膜厚に制限があり、ショットキ障壁高さを高くすることに制約があった。

【0029】これに対し本発明では、電極直下に圧縮歪みを有する半導体層を設けることによりピエゾ効果による障壁高さの向上を図るものである。この点について図9を参照して説明する。

【0030】図9(a)は従来のHJFETを示す図であり、図9(c)は対応するバンド図である。基板90上にバッファ層91を介して厚膜のGa<sub>0.3</sub>N下地層92が形成され、その上にAlGa<sub>0.7</sub>N層93および電極95が積層した構造となっている。各々のIII族窒化物半導体層の結晶成長面は(0001)面である。一方、本発明に係るHJFETについて、その構造を図9(b)に、対応するバンド図を図9(d)に示す。AlGa<sub>0.7</sub>N層93(第一の電子障壁層に相当)上と電極95の間にInGa<sub>0.3</sub>N層94(第二の電子障壁層に相当)が設けられている点で図9(a)、(c)と相違する。

【0031】本発明に係るHJFETにおいては、このInGa<sub>0.3</sub>N層94が層厚方向と垂直な水平面内に圧縮歪みを有するため、ショットキ障壁高さが効果的に向上する。図示したHJFETでは、各半導体層の内部歪みが、圧縮モードまたは引っ張りのモードのいずれかであるかは、厚膜のGa<sub>0.3</sub>N下地層92の結晶格子定数との大小関係によって決定する。InGa<sub>0.3</sub>N層93の層厚方向と垂直な水平面内の格子定数(a軸格子定数)は、Ga<sub>0.3</sub>N下地層92のそれよりも大きい場合、面内圧縮歪みが生じる。このため、(0001)面側に正の電荷が、(000-1)面側に負の電荷が発生するようにピエゾ効果が働く。ショットキ金属とIII族窒化物半導体間の障壁高さH<sub>A</sub>物質によって規定されるため金属のフェルミレベルを基準としたIII族窒化物半導体の伝導帯エネルギーは、金属-半導体界面から遠ざかるにつれて高くなる。すなわち、金属-半導体界面から遠ざかるにつれて電子の感じる障壁高さが高くなる。したがって、従来例(図9(a))と比較して、ショットキ接合におけるリーク電流を低減することができ、ゲートバイアスを正に印加した場合でもすぐれた電流増幅特性を実現することができる。

【0032】以上の点に関し、さらに詳細に説明する。図9(b)のバンド構造におけるショットキ障壁高さ $\phi_{B1}$ は以下の式により表される。

$$\phi_{B1} = (\phi_{InGaN} + \Delta E_c) + V_{piezo}$$

$\phi_{GaN}$ : Ga<sub>0.3</sub>Nのショットキ障壁高さ

$\Delta E_c$ : (AlGa<sub>0.7</sub>Nの伝導体下端のエネルギー) - (InGa<sub>0.3</sub>Nの伝導体下端のエネルギー) の値

$V_{piezo}$ : ピエゾ効果に起因してInGa<sub>0.3</sub>N層93中に生じた分極による電位差

一方、図9(a)のバンド構造におけるショットキ障壁高さ $\phi_{B2}$ は以下の式により表される。

$$\phi_{B2} = \phi_{AlGaN}$$

$\phi_{AlGaN}$ : AlGa<sub>0.7</sub>Nのショットキ障壁高さ

本発明によるショットキ障壁高さの上昇分は $\phi_{B1} - \phi_{B2}$ により求められるが、 $(\phi_{InGaN} + \Delta E_c)$ と $\phi_{AlGaN}$ が略等しいことから、この上昇分は、ほぼ $V_{piezo}$ と等しい値となる。すなわち本発明は、電極直下に配置した圧縮歪みを有する層中に発生するピエゾ分極を利用してショットキ障壁高さを上昇させるものである。

【0033】

【発明の実施の形態】本発明における第一の電子障壁層は、第二の電子障壁層の電子障壁を高めるために設けられる。第二の電子障壁層は、第一の電子障壁層上に直接形成することが好ましいが、たとえば10nm以下のスペーサー層を介して形成してもよい。

【0034】本発明において、下地層とは、半導体装置を構成する各半導体層のうちの最も厚みの厚い層であって、他の半導体層の結晶系を拘束する層をいう。この層を基準として他の半導体層の歪みモードが決定する。すなわち、下地層よりも格子定数の小さい層には引っ張り歪み、下地層よりも格子定数の大きい層には圧縮歪みが発生する。

【0035】下地層の上部に、この層と異なる格子定数の半導体層を形成した場合、臨界膜厚以上の厚みとすると、半導体層中に転位が発生して格子緩和を起こす。したがって、ピエゾ分極を十分に発生させ、本発明の効果を顕著にするためには、半導体層の厚みを臨界膜厚以下とすることが望ましい。しかしながら、一般に格子緩和は不完全に進行し、臨界膜厚を超えた場合でも一定の格子歪が残存する。したがって、本発明においては、一定のピエゾ効果が得られる範囲内であれば臨界膜厚を超えた膜厚を採用することもできる。

【0036】上記のように、第一および第二の電子障壁層は、臨界膜厚以下であることが望ましいが、下限については特に制限がなく、たとえば数原子オーダーが積層した程度の厚み(10Å程度)でもよい。

【0037】臨界膜厚はマシューズの式(J. W. Matthews and A. E. Blakeslee, J. Cryst. Growth 27, 118 (1974))により計算することができる。図14および図15に計算結果を示す。この計算においては、以下の表に示すパラメータを用いた。

【0038】

【表1】

9.			10
	GaN	AlN	InN
格子定数 (Å)	3.180	3.111	3.533
ボアソン比	0.3	0.3	0.3

【0039】以下、本発明の好ましい実施の形態について図面を参照して説明する。なお、以下の実施形態において素子を構成する各III族窒化物半導体層は、十分なピエゾ効果が発現させる観点から、(0001)面を主面とするウルツ鉱型の半導体層とすることが好ましい。但し、所定のピエゾ効果が得られる範囲内で種々の形態をとることもでき、たとえば(0001)面から任意の方向に約5度以内、好ましくは10度以内の角度で傾斜させることができる。

【0040】(第1の実施の形態)本実施形態に係る電界効果トランジスタの断面構造を図1に示す。基板1上に、バッファ層2を介してキャリア走行層3が形成され、その上にスペーサー層4、キャリア供給層5が形成されている。キャリア供給層5(第一の電子障壁層に相当)の上には、ソース電極8およびドレイン電極9が設けられ、また、ショットキ層6(第二の電子障壁層に相当)を介してゲート電極7が設けられている。

【0041】基板1としては、例えばサファイア、炭化シリコン、のほか、GaN、AlGaN、AlN等のIII族窒化物半導体を用いることができる。

【0042】バッファ層2は、たとえば400~500℃程度の低温で形成された低温バッファ層とする。この層は、基板1と、その上部に形成されるIII族窒化物半導体層との格子不整合による歪みを緩和する役割を果たす。

【0043】キャリア走行層3、スペーサー層4、キャリア供給層5はいずれもIII族窒化物半導体材料により構成される。III族窒化物半導体材料とは、Ga、AlおよびInから選択される一または二以上のIII族元素と、Nを含む半導体材料であり、 $\text{In}_x\text{Ga}_y\text{Al}_{1-x-y}\text{N}$  ( $0 \leq x \leq 1$ ,  $0 \leq y < 1$ )と表すことができる。スペーサー層4およびキャリア供給層5は、キャリア走行層3よりも電子親和力の小さい材料により構成する。各層には適宜、不純物を加えることができる。n型不純物として、例えばSi、S、Seなど、p型不純物として、例えばBe、C、Mgなどを添加することが可能である。

【0044】本実施形態では、最も層厚の厚いキャリア走行層3が下地層に相当し、この層を基準として他の半導体層の歪みモードが決定する。すなわち、キャリア走行層3よりも格子定数の小さい層には引っ張り歪み、格子定数の大きい層には圧縮歪みが発生する。

【0045】ショットキ層6は、層厚方向と垂直な水平面内に圧縮歪みを有するようにする。具体的には、ショットキ層6の格子定数をキャリア走行層3の格子定数よりも大きくする。このような構成とすることにより、図1(b)のようなバンド構造となる。すなわち、ショットキ層6中に、圧縮歪み由来のピエゾ分極が発生するため、キャリア供給層5のショットキ障壁が高くなり、リーク電流の抑制される素子構造となる。

【0046】本実施形態における各半導体層を構成する具体的材料は、種々のものを用いることができる。たとえば、キャリア走行層3をGaN、スペーサー層4およびキャリア供給層5をAlGaN、ショットキ層6をInGaNにより構成することができる。たとえば下地層となるキャリア走行層3をGaNにより構成した場合、ショットキ層6を

$(\text{In}_x\text{Al}_{1-x})_y\text{Ga}_{1-y}\text{N}$  ( $0.164 \leq x \leq 1$ ,  $0 \leq y < 1$ )により構成すれば、ショットキ層6中に圧縮歪みが生じ、キャリア供給層5のショットキ障壁を向上させる作用が発現する。

【0047】(第2の実施の形態)本実施形態に係る電界効果トランジスタの断面構造を図2に示す。基板1上に、低温低温バッファ層2を介してキャリア走行層3が形成され、その上にスペーサー層4、キャリア供給層5およびショットキ層6が形成されている。ショットキ層6の上には、ソース電極8、ドレイン電極9およびゲート電極7が設けられている。

【0048】基板1、低温バッファ層2、キャリア走行層3、スペーサー層4、キャリア供給層5およびショットキ層6を構成する材料は、第1の実施の形態と同様のものを用いることができる。ここで、ショットキ層6は、キャリア走行層3よりも大きい格子定数を有する材料により構成し、層厚方向と垂直な水平面内に圧縮歪みを有するようにする。これによりショットキ層6中に圧縮歪み由来のピエゾ分極を発生させ、キャリア供給層5によるショットキ障壁を高くすることができる。

【0049】本実施形態の電界効果トランジスタは、窒化ガリウム半導体層のエッチング工程が不要であるため、プロセスが簡略であるという利点を有する。

【0050】(第3の実施の形態)本実施形態に係る電界効果トランジスタの断面構造を図3に示す。本実施形態は、ショットキ層6の幅がゲート電極7の幅よりも狭くなっており、ゲート長を短くできるという利点を有する。なお、このような形態は、ショットキ層6をサイドエッチングすることにより形成することができる。

【0051】(第4の実施の形態)本実施形態に係る電界効果トランジスタの断面構造を図4に示す。本実施形態では、ゲート電極7下のショットキ層6を厚膜にする一方、ソース電極8およびドレイン電極9下のショットキ層6を薄膜にしている。これにより、ショットキ層6のエッチング工程においてキャリア供給層5が露出しな



いので、エッチャントがキャリア供給層5とショットキ層6の選択性を有することが要求されず、エッチングに課せられる制約が緩やかになる。また、キャリア供給層5が損傷を受けることがないという利点もある。

【0052】なお、本実施形態において、ショットキ層6はドレイン側に延在する形態となっているが、これにより、ゲート電極とドレイン領域との間の電界集中を緩和することができる。

【0053】(第5の実施の形態)本実施形態に係る電界効果トランジスタの断面構造を図5に示す。本実施形態では、ショットキ層10をGa<sub>0.5</sub>N<sub>0.5</sub>により構成している。ショットキ層10の上面が負の極性を持つため、キャリア供給層5に生じるショットキ障壁を高くすることができる。

【0054】(第6の実施の形態)本実施形態に係る電界効果トランジスタの断面構造を図6に示す。本実施形態では、下地層となる基板12を格子定数の比較的小さいAlGa<sub>0.5</sub>N<sub>0.5</sub>により構成しているため、Ga<sub>0.5</sub>N<sub>0.5</sub>からなるショットキ層10中に圧縮歪みが生じる。このため、キャリア供給層5に生じるショットキ障壁を効果的に高くすることができる。

【0055】(第7の実施の形態)本実施形態に係る電界効果トランジスタの断面構造を図7に示す。本実施形態では、異種基板を用いず、Ga<sub>0.5</sub>N<sub>0.5</sub>からなる基板13を用いている。基板13は、たとえば、サファイア基板上に低温バッファ層を介して厚膜のGa<sub>0.5</sub>N<sub>0.5</sub>層を形成した後、エッチングによりサファイア基板を除去することにより得ることができる。

【0056】(第8の実施の形態)本実施形態に係る電界効果トランジスタの断面構造を図11に示す。本実施形態では、キャリア供給層5上にソース電極8およびドレイン電極9を設け、キャリア供給層5上にショットキ層6を介してゲート電極7を設けている。ショットキ層6は保護膜20により覆われており、空気と接触しないようにされている。このようにショットキ層6を保護膜20で覆う構造とすることにより、ショットキ層6表面近傍に電荷が誘起されることを防止し、素子の動作を安定にすることができる。

【0057】保護膜20は、窒化シリコン、酸化シリコンまたは窒化酸化シリコン膜等により構成することができる。

【0058】(第9の実施の形態)本実施形態に係るショットキダイオードの断面構造を図12に示す。

【0059】基板(不図示)上に、バッファ層(不図示)を介してキャリア走行層3が形成され、その上にスペーサ層4、キャリア供給層5およびショットキ層6が形成されている。ショットキ層6の上にはバッファ層23が設けられ、スペーサ層4、キャリア供給層5の上にはバッファ層22が設けられている。ショットキ層6は、キャリア走行層3よりも大きい格子定数を有する材

料により構成し、層厚方向と垂直な水平面内に圧縮歪みを有するようにする。これによりショットキ層6中に圧縮歪み由来のピエゾ分極を発生させ、キャリア供給層5によるショットキ障壁を高くすることができる。バッファ層22は、引っ張り歪みを有するスペーサ層4および無歪みのキャリア供給層5の上に形成されているため、良好なコンタクト抵抗が得られる。

【0060】(第10の実施の形態)本実施形態に係るショットキダイオードの断面構造を図13に示す。本実施形態は、第9の実施の形態と類似した構造となっているが、バッファ層22がキャリア供給層5とのみ接触している点が異なっている。このような構造となっているため、製造プロセスは第9の実施の形態と比較して簡便になる。バッファ層22のコンタクト抵抗はやや大きくなる。

【0061】

#### 【実施例】実施例1

本実施例の電界効果トランジスタの構造を図1に示す。以下、この電界効果トランジスタの作製方法について説明する。

【0062】基板1としてc面(0001)面)サファイア基板を用い、この上にバッファ層2としてAlN低温成長バッファ層(膜厚20nm)、キャリア走行層3としてGa<sub>0.5</sub>N<sub>0.5</sub>動作層(膜厚1500nm)、スペーサ層4としてAlGa<sub>0.5</sub>N<sub>0.5</sub>スペーサ層(膜厚5nm)、キャリア供給層5としてAlGa<sub>0.5</sub>N<sub>0.5</sub>キャリア供給層(Al組成比0.2、膜厚20nm、Si添加量 $5 \times 10^{18} \text{ cm}^{-3}$ )、ショットキ層6としてInGa<sub>0.5</sub>N<sub>0.5</sub>(In組成比0.05、膜厚10nm)を有機金属気相エピタキシャル(MOVPE)法により形成する。MOVPE法による成長温度は、以下のようにする。

バッファ層2：通常400~500℃(例えば450℃)

キャリア走行層3(Ga<sub>0.5</sub>N<sub>0.5</sub>層)：通常1000~1050℃(例えば1030℃)

スペーサ層4、キャリア供給層5(AlGa<sub>0.5</sub>N<sub>0.5</sub>層)：通常1040~1100℃(例えば1080℃)

ショットキ層6(InGa<sub>0.5</sub>N<sub>0.5</sub>層)：通常800~900℃(例えば840℃)

次いで、フォトリソを塗布し、露光、現像により開口部を設けた後、Cl<sub>2</sub>ガスを用いたドライエッチング(ECR法)によりショットキ層6の一部を除去する。さらに第一の金属としてTi/Al(Ti層の膜厚10nm、Al層の膜厚200nm)を電子銃蒸着により形成し、リフトオフの後、ランプアニール(650℃、30秒)することでソース電極8、ドレイン電極9を形成する。その後、フォトリソを塗布し、露光、現像により開口部を設けた後、第二の金属としてNi/Au(Ni層の膜厚10nm、Au層の膜厚200nm)を電子銃蒸着により形成し、リフトオフすることによりゲート電極7を形成する。以上の工程を経て電界効果トランジスタを作製する。

【0063】本実施例の電界効果トランジスタは、ショ

ットキ層6に圧縮歪み、キャリア供給層5に引っ張り歪みが残存する。このため、ピエゾ効果により、ショットキ層6中のキャリア供給層5と接する側、および、キャリア供給層5中のショットキ層6と接する側に負電荷が誘起される。すなわち、これらの層の界面の伝導帯を高エネルギー側へ押し上げる方向に電界が発生する。この結果、ショットキ接合におけるリーク電流を低減することができ、ゲートバイアスを正に印加した場合でもすぐれた電流増幅特性を実現することができた。また、In, Al, Ga, 各々の組成比を調節することでゲート電極-動作層間距離、ドーピング濃度とV<sub>t</sub>を独立に制御することができる。

【0064】なお本実施例では基板としてサファイアを用いたが、炭化シリコンなど他の任意の基板を用いることができる。更に、本実施例ではサファイア基板のc面((0001)面)を用いたが、III族窒化物半導体がc軸配向またはc軸から任意の方向に約5度までの傾斜を持った配向で成長し、ピエゾ効果が実施の形態と同じ向きに発生する面であれば良い。例えばサファイアc面基板の他に、c面から任意の方向に傾斜を持たせた基板などを用いることができる。ただし、サファイアc面やa面から傾斜を持たせた基板を用いる場合、傾斜角が大きくなると良好な結晶性を得ることが困難になるため、任意の方向に10度以内の傾斜とすることが好ましい。

【0065】同様に本実施例ではキャリア走行層3としてGaNを用いたが、他のIII族窒化物半導体材料を適宜用いることができる。

【0066】同様に各層の膜厚に関しても、所望の厚さとすることができるが、転位が発生する臨界膜厚以下とすることが好ましい。

【0067】なお、本実施例ではGaNキャリア走行層中に不純物は添加していない。これは、GaN中のN空孔がn型不純物と同様に振舞い電子を放出し、しかもその密度が約 $5 \times 10^{16} \text{ cm}^{-3}$ であったため、不純物を添加しなくてもよいことによるものである。n型不純物として、例えばSi、S、Seなどを添加することができる。また、p型不純物としては、例えばBe、Cなどを添加することも可能である。

【0068】また、本実施例ではソース電極、ドレイン電極としてTi/Alを用いたが、ソース電極、ドレイン電極は本実施例中キャリア供給層であるGaNとオーミック接触する金属であればよく、例えばW、Mo、Si、Ti、Pt、Al、Au等の金属を用いることができ、複数の前記金属を積層した構造とすることもできる。

【0069】また、本実施例ではゲート金属としてNi/Auを用いたが、ゲート電極は本実施例中キャリア供給層であるGaNとショットキー接触する金属であればよく、例えばW、Mo、Si、Ti、Pt、Al、Au

等の金属を用いることができ、複数の前記金属を積層した構造とすることもできる。

【0070】

【発明の効果】以上説明したように本発明によれば、ショットキ電極下に圧縮歪みを有する層を設けているため、十分な高さの2段構造のショットキ障壁が形成され、電極下のリーク電流を効果的に防止することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の構造を示す断面図である。

【図2】本発明に係る半導体装置の構造を示す断面図である。

【図3】本発明に係る半導体装置の構造を示す断面図である。

【図4】本発明に係る半導体装置の構造を示す断面図である。

【図5】本発明に係る半導体装置の構造を示す断面図である。

【図6】本発明に係る半導体装置の構造を示す断面図である。

【図7】本発明に係る半導体装置の構造を示す断面図である。

【図8】本発明の作用を説明するための図である。

【図9】ピエゾ効果について説明するための図である。

【図10】従来の半導体装置の構造を示す断面図である。

【図11】本発明に係る半導体装置の構造を示す断面図である。

【図12】本発明に係る半導体装置の構造を示す断面図である。

【図13】本発明に係る半導体装置の構造を示す断面図である。

【図14】臨界膜厚の計算結果を示す図である。

【図15】臨界膜厚の計算結果を示す図である。

【図16】ウルツ鉱型III族窒化物半導体の結晶構造を示す図である。

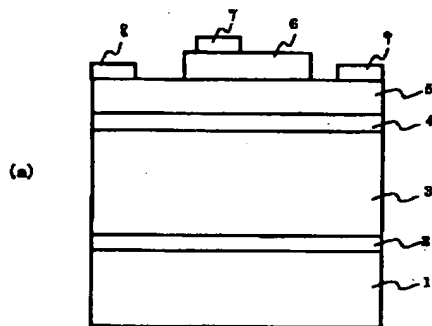
【符号の説明】

- 1 基板
- 2 バッファ層
- 3 キャリア走行層
- 4 スペース層
- 5 キャリア供給層
- 6 ショットキ層
- 7 ソース電極
- 8 ドレイン電極
- 9 ゲート電極
- 10 ショットキ層
- 12 基板
- 13 キャリア走行層

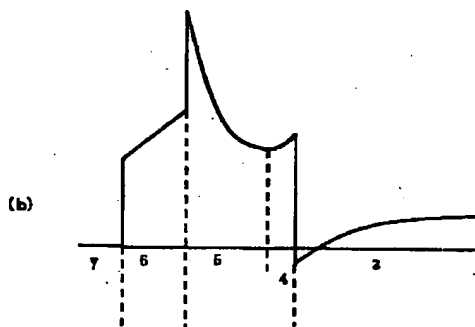
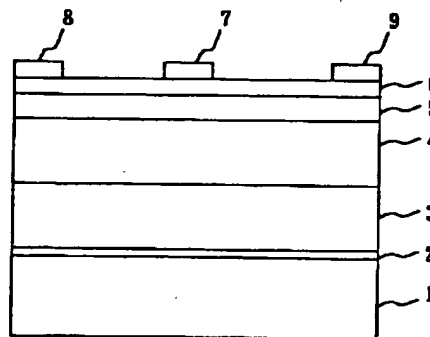
20 保護膜  
90 基板  
91 バッファ層  
92 GaN下地層  
93 AlGaIn層  
94 InGaIn層  
95 電極  
1001 サファイア基板  
1002 GaN核形成層  
1003 GaN層

1004 AlGaInスペーサー層  
1005 AlGaInキャリア供給層  
1006 GaNキャップ膜  
1007 ソース電極  
1008 ドレイン電極  
1009 ゲート電極  
1101 GaN層  
1102 AlGaIn層  
1103 GaN層  
10 1104 InGaIn層

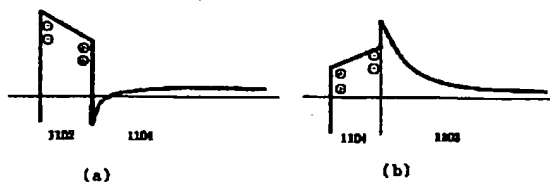
【図1】



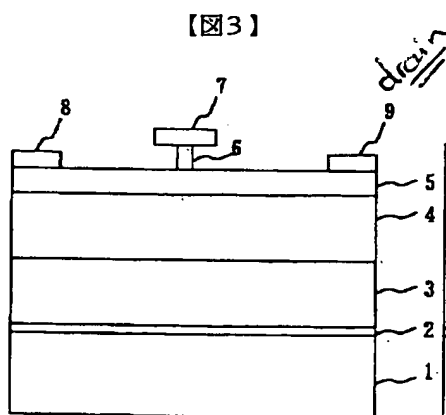
【図2】



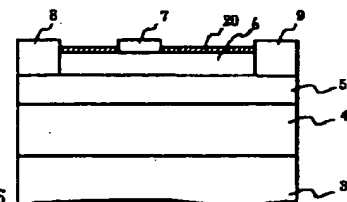
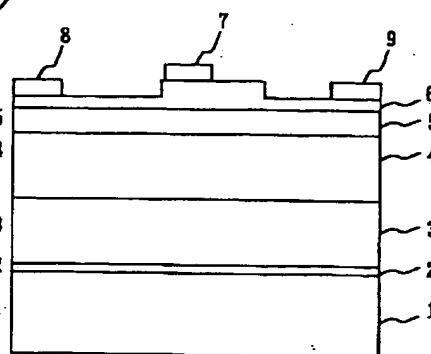
【図9】



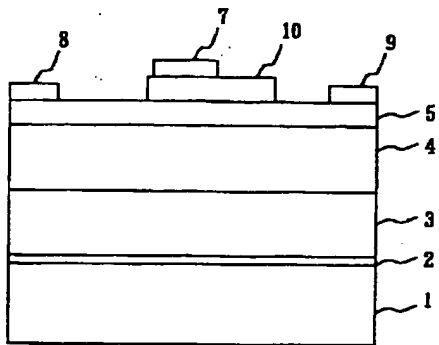
【図11】



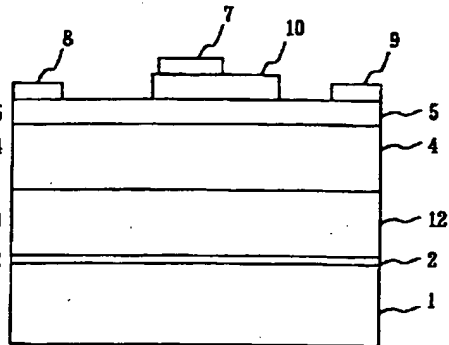
【図4】



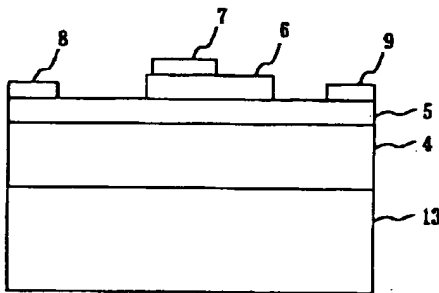
【図5】



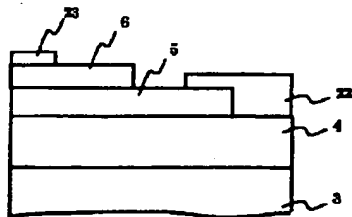
【図6】



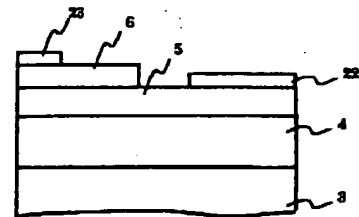
【図7】



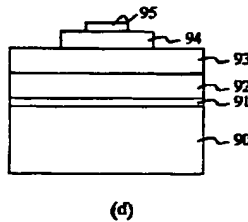
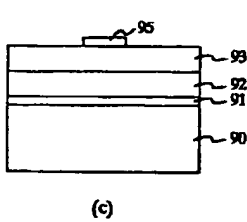
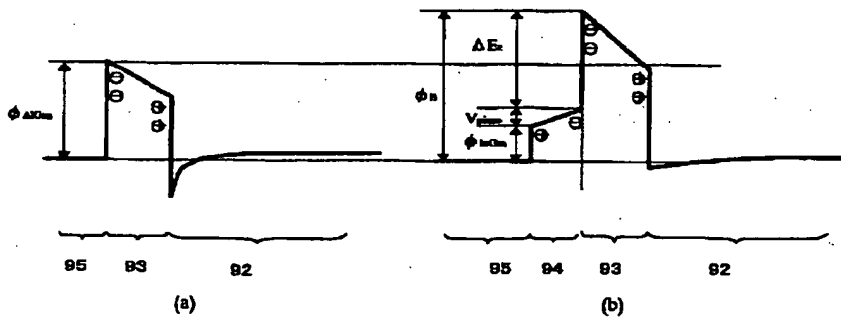
【図12】



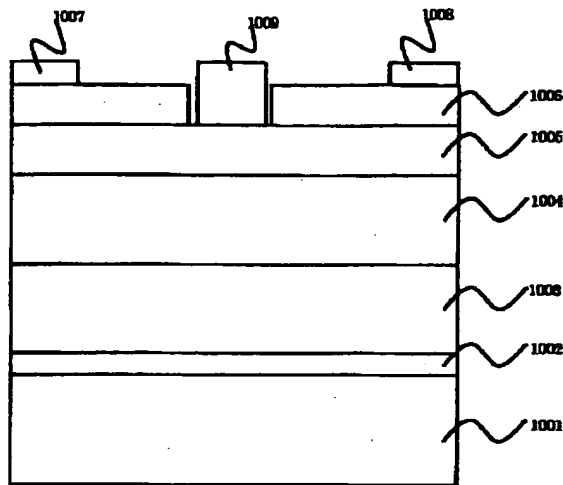
【図13】



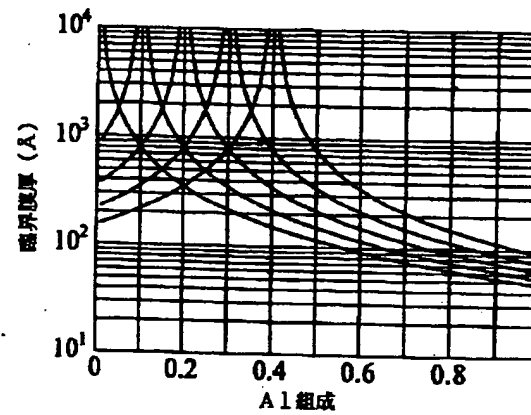
【図8】



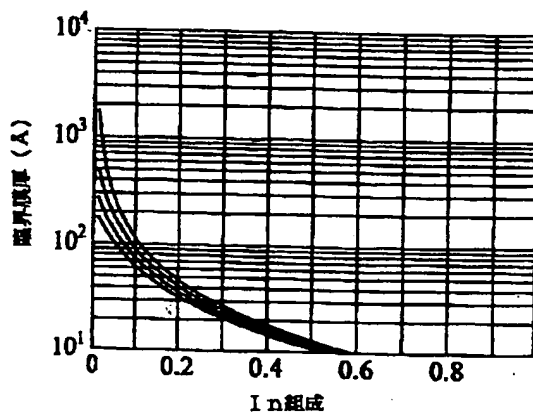
【図10】



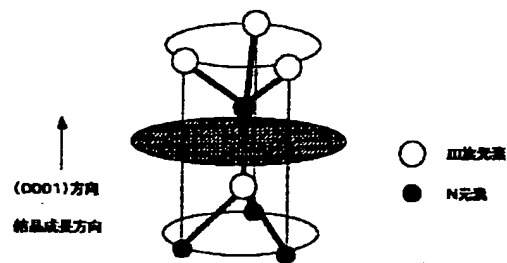
【図14】



【図15】



【図16】



フロントページの続き

(72)発明者 宮本 広信  
東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 国弘 和明  
東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 高橋 裕之  
東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 笠原 健資  
東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 羽山 信幸  
東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 大野 泰夫  
東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 松永 高治  
東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 葛原 正明  
東京都港区芝五丁目7番1号 日本電気株式会社内

Fターム(参考) 4M104 AA04 AA10 BB01 BB02 BB05  
BB06 BB09 BB14 BB16 BB18  
CC01 CC03 DD34 DD68 EE14  
GG12 HH17  
5F102 FA03 FA05 GB01 GC01 GD01  
GJ02 GJ10 GL04 GL08 GL09  
GM00 GM04 GM08 GM10 GQ01  
GR01 GS04 GS05 GT02 GT03  
GV07 GV08 HC01 HC11 HC19